

IN THE U.S. PATENT AND TRADEMARK OFFICE  
I N F O R M A T I O N   S H E E T



Applicant: NAOE, Hitoshi  
Application No.:  
Filed: June 15, 2000  
For: BIT SYNCHRONIZING CIRCUIT  
Priority Claimed:

COUNTRY	DATE	NUMBER
JAPAN	06/15/99	11-167658

Send Correspondence to: BIRCH, STEWART, KOLASCH & BIRCH, LLP  
P. O. Box 747  
Falls Church, Virginia 22040-0747  
(703) 205-8000

The above information is submitted to advise the USPTO of all relevant facts in connection with the present application. A timely executed Declaration in accordance with 37 CFR 1.64 will follow.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By  #9001

TERRELL C. BIRCH

Reg. No. 19,382

P. O. Box 747

Falls Church, VA 22040-0747

/cw

(703) 205-8000

Best Available Copy

IN THE U.S. PATENT AND TRADEMARK OFFICE

H4M  
11-1600

JC714 U.S. PTO  
09/593945  
06/15/00

Applicant(s): NAOE, Hitoshi

Application No.:

Group:

Filed: June 15, 2000

Examiner:

For: BIT SYNCHRONIZING CIRCUIT

L E T T E R

Assistant Commissioner for Patents  
Box Patent Application  
Washington, D.C. 20231

June 15, 2000  
1247-0428P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

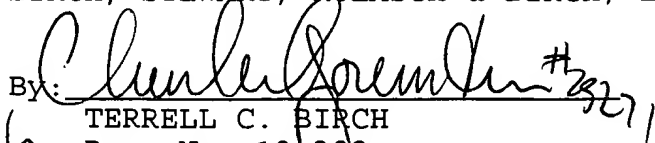
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	11-167658	06/15/99

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By:  #3271

TERRELL C. BIRCH

Reg. No. 19,382

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment  
(703) 205-8000  
/cw

Dirch, STEWART, ROTASCH & Dirch

703-205-8000

1247-0428P

日 本 国 特 許 庁 NADE, H, toshi,

PATENT OFFICE  
JAPANESE GOVERNMENT

6/15/00  
10/1

JC714 U.S. Pat.  
09/593945  
06/15/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

出 願 年 月 日  
Date of Application:

1999年 6月15日

願 番 号  
Application Number:

平成11年特許願第167658号

願 人  
Applicant(s):

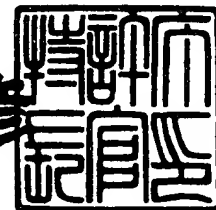
シャープ株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 4月14日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3026876

61663/00R00059/US/JNH

【書類名】 特許願

【整理番号】 99-01792

【提出日】 平成11年 6月15日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/02

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 直江 仁志

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【電話番号】 06-6621-1221

【代理人】

【識別番号】 100103296

【弁理士】

【氏名又は名称】 小池 隆彌

【電話番号】 06-6621-1221

【連絡先】 電話 0 4 3 - 2 9 9 - 8 4 6 6 知的財産権本部 東京  
知的財産権部

【手数料の表示】

【予納台帳番号】 012313

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703283

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ビット同期回路

【特許請求の範囲】

【請求項 1】 シリアル通信の受信回路に用いられるビット同期回路において、

入力クロックに基づいて位相がほぼ等間隔にずれた複数のクロックを生成する多相クロック生成回路と、

入力クロックに対して前記多相クロック生成回路からの出力のうち何相目でクロックの周期の整数分ずれるかを検出する検出回路とを備えたことを特徴とするビット同期回路。

【請求項 2】 請求項 1 に記載のビット同期回路において、

前記多相クロック生成回路は、入力クロックをほぼ同一の時間遅延させる遅延回路が複数接続されてなることを特徴とするビット同期回路。

【請求項 3】 請求項 1 又は 2 に記載のビット同期回路において、

前記検出回路からの出力が入力される論理回路と、該論理回路からの出力が入力されると共に出力が該論理回路に入力されるラッチ回路とを備えたことを特徴とするビット同期回路。

【請求項 4】 請求項 3 に記載のビット同期回路において、

前記ラッチ回路のデータを一定のタイミングでクリアするように構成されたことを特徴とするビット同期回路。

【請求項 5】 請求項 1 又は 2 に記載のビット同期回路において、

前記検出回路からの出力を複数回サンプリングして、サンプリング値を演算する演算回路を備えたことを特徴とするビット同期回路。

【請求項 6】 請求項 1 から 5 のいずれか 1 項に記載のビット同期回路において、

前記検出回路からの出力を一定時間保持すると共に一定期間毎に更新するように構成されたことを特徴とするビット同期回路。

【請求項 7】 請求項 6 に記載のビット同期回路において、

前記検出回路からの出力をビットデータ受信時に保持するように構成されたこ

とを特徴とするビット同期回路。

【請求項 8】 請求項 1 から 7 のいずれか 1 項に記載のビット同期回路において、

前記多相クロック生成回路からの多相クロックが入力され、それぞれ異なる相でビット同期の動作を行なう複数のビット同期動作回路と、

前記検出回路の検出結果に基づいて、前記複数のビット同期動作回路からの出力を選択する選択回路とを備えたことを特徴とするビット同期回路。

【請求項 9】 請求項 1 から 7 のいずれか 1 項に記載のビット同期回路において、

前記多相クロック生成回路からの多相クロックが入力され、前記検出回路からの検出結果に基づいて、出力する多相クロックを選択するクロック選択回路を備えたことを特徴とするビット同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、IEEE 1394、ATM、空間光通信などに代表される高速シリアル通信の受信機等に用いられるビット同期回路に関するものである。

【0002】

【従来の技術】

情報機器のデジタル化に伴い、デジタル信号の高速シリアル通信が、LSI 間データ転送から無線通信、光ファイバ通信に至るまで幅広く使用されるようになっている。

【0003】

このようなデジタル通信では、通信用データの他に、データを正しくサンプルするためのタイミング情報を送る必要がある。高速シリアル通信の多くは、通信線を少なくするため、タイミング情報をデータとは別の線を使って送るということとはしない。その代わりにデータに冗長性を持たせ、一定時間内にデータが遷移することを保証するようなコーディングを用いる。データの遷移そのものがタイミング情報なので、遷移と遷移の間隔が十分短ければ、受信機側ではデータの遷

移を基にデータを正しく復元できる。これを実現する回路は、ビット同期回路またはシンボル同期回路と呼ばれている。

#### 【0004】

近年、高速シリアル通信において、例えば、ISDNにおける2線式加入者線系の時分割方式や、その他の半2重通信のように、データを間欠的に送受信するバーストモード通信と呼ばれる方式の開発が進んでいる。バーストモード通信では、通常、ビット同期を確立するために、転送したいデータの前にプレアンプルと呼ばれる特定パターンを転送する。プレアンプルの期間中は転送したいデータを送れないので、プレアンプルを短くすればするほど、通信の効率を上げることができる。プレアンプルを短くするためには、高速に同期を確立するビット同期回路の技術が重要である。

#### 【0005】

更に、例えば、光ファイバ通信や無線通信のように増幅器を用いて信号を変換しているような方式の場合、増幅器が安定するまで、信号のパルス幅に偏りが生ずる。その現象が発生したときの送信及び受信の信号波形を図11に示す。図11において、送信信号は、送信機の出力の時間変化を表している。この図では、プレアンプルとしてよく使用される0、1の繰り返しパターンを使用したものを示している。例えば、光ファイバ通信の場合、この送信信号を基に、LEDもしくはレーザーに光信号を出力させる。

#### 【0006】

図11の受信信号は、光信号を受光素子で受信し、増幅処理した信号の1例である。受信側の増幅器等の特性によって、受信信号の先頭においては、信号がハイである期間が送信信号に比べ長くなり、ローである期間が短くなっている。この傾向は受信を続けることで少なくなっていく、次第に送信信号の波形に近づいていく。この受信信号の偏りの影響をなくすために、更にプレアンプルを付加する必要があった。このような場合に対応するために、パルス幅が偏っている場合にも正しく同期を図ることができるビット同期回路が重要である。

#### 【0007】

このようなビット同期を取るための従来技術として、以下の3種類のものが知

られている。

【0008】

第1の技術は、"Phase-Locked Loops - DESIGN, SIMULATION, & APPLICATIONS" Third Edition, Roland E. Best, 1997, McGraw-Hillに開示されるような、PLL (Phase-Locked Loops)を用いたものである。この技術では、受信側でクロック生成するために電圧制御オシレータを用いる。電圧制御オシレータは、動作電圧を変更することにより出力されるクロックの速度を変えることのできるオシレータである。PLLは、受信信号の遷移点と生成されたクロックの位相差を用いて、受信信号の遷移点とクロックの遷移点が一致するように電圧制御オシレータの速度を制御する。このように受信信号に同期したクロックで受信データをサンプルすることで正しく受信することができる。

【0009】

一般に、受信側で、受信信号に同期したクロックを生成するビット同期回路はクロックリカバリ方式と呼ばれる。ビット同期回路にクロックリカバリ方式を使用した場合、受信データは受信信号に同期したクロックに同期しているので、これを受信機のシステムクロックに同期するために、通常、非同期のFIFO (First In First Out)を使用する。受信信号を、受信信号に同期したクロックで非同期FIFOに書き込み、受信機のシステムクロックで読むことにより、受信機のシステムクロックと同期が取ることができる。

【0010】

第2の技術は、ビットレートと比較して十分速いクロックでデータをサンプルし、サンプルデータの値が変わるタイミングから受信のためのサンプルタイミングを決めるような、高速クロックを用いたものである。PCのシリアルコントローラであるUART (Universal Asynchronous Receiver and Transmitter)がこの方法を使用している。UARTでは、調歩同期と呼ばれるデータフォーマットを使用する。調歩同期では、通常、8ビットのデータ毎に、前にスタートビット、後ろにストップビットを付加する。スタートビットは常に1、ストップビットは常に0である。ビットレートの16倍のクロックで受信信号をサンプルし、サンプルデータが0から1に変化した時点、すなわちスタートビットが始まった時



点で4ビットカウンタを初期化する。カウンタが8になった時のサンプルデータを8回分蓄え、その次のストップビットが0であることを確認し、受信データとして出力する。

【0 0 1 1】

第3の技術は、特開平6-53950号公報に記載されるような、2つのオシレータの切り替えを用いたものである。受信信号のローとハイに従って、2つのオシレータの動作を交互に動作開始させる。2つのオシレータは、それぞれ、受信信号の立ち上がりまたは立ち下がりで動作を開始するのでその出力は受信信号に同期している。2つのオシレータの出力のORを取ることで受信データに同期したクロックを生成する。なお、この技術においても、第1の技術で述べた非同期FIFOが必要となる。

【0 0 1 2】

【発明が解決しようとする課題】

しかしながら、上記第1～3の技術では、以下のような問題点があった。

【0 0 1 3】

第1の技術では、同期に時間がかかるので、データの前に長いプレアンプが必要となる。また、アナログ回路を含むので、低コストでの量産が難しい。

【0 0 1 4】

第2の技術では、100Mbpsから数Gbpsの高速通信の場合、必要なクロックが数百MHz以上となり、安価なCMOSLSIでの実装に向かない。

【0 0 1 5】

第3の技術では、クロックがデータのエッジで瞬時に同期するため、受信信号のゆらぎがそのままクロックのゆらぎとなる。ゆらぎが大きい場合、クロックリカバリ方式で必要となる非同期FIFOが高速で動作する必要がある。

【0 0 1 6】

そこで、これら以外に下記のような第4～6の技術も提案されている。

【0 0 1 7】

第4の技術は、多相クロック、すなわち、位相がずれた複数のクロックから受信データに近い位相を持つクロックを選択するものである（特開平7-1935

62号公報、特開平9-181713号公報、特開平10-247903号公報等参照)。これらの公報には、受信信号の遷移点と最も位相の近いクロックを多相クロックの中から選択する実装方法が開示されている。なお、この技術においても、第1の技術で述べた非同期FIFOが必要となる。

【0018】

第5の技術は、調歩同期の高速化を図ったものである("A CMOS Serial Link for Fully Duplexed Data Communication," K. Lee, et al., IEEE Journal of Solid-State Circuits, Vol. 30, No.4, April 1995等参照)。この技術では、500Mbpsという高速通信を実現すべく並列性を高めるために、ビットレートの10分の1のスピードの多相クロックを使用している。具体的には、位相が等間隔にずれた40個の10分の1クロックを使用する。これらのクロックでサンプルしたデータを単一のクロックで再サンプルすることにより、10ビット時間の間をビットレートの4倍の速さでサンプリングしたのと同等の情報が50MHzの間隔で得られる。

【0019】

このデータをエッジ検出回路に入力することで、0から1への変化点を検出する。実際には、この技術では、送りたいデータの前に1111100000という形のプレアンプルを少なくとも3回送信することを前提としており、この期間中、1度のサンプリングで1箇所だけ、すなわちスタートビットの先頭でのみ0から1へ変化する。これにより、スタートビットの位置の特定が可能である。プレアンプルが終わってデータが送受信されるようになって、スタートビットのエッジはほぼ同じ個所で現れるので、データ内のエッジは無視して、スタートビットのエッジを追跡する回路が組み込まれている。

【0020】

上記のように、データ受信時、スタートビットのエッジの位置が特定できるので、そこから4サンプルずつが各ビットに対応するとみなす。各ビットの値は、対応する4サンプルの多数決で決定する。

【0021】

第6の技術は、例えば特開平9-36849号公報に記載されるような、オー

バーサンプリングを用いたものである。この技術では、受信信号をビットレートより速いレートでサンプルした結果をビットレートと同じレートで並列化したデータを処理する。具体的には、並列データから変化点を抽出し、並列データ内の変化点の数と位置から受信データとみなすサンプルデータを選択する。

【0022】

上記第4の技術では、受信信号のエッジ情報からクロックを選択し、その選択されたクロックで受信信号をサンプルするのであるが、設計した回路に合うように位相をおおよそビットレートを分割した同程度に遅らせた多相クロックが必要であり、そのクロックを発生させるための回路が必要である。

【0023】

また、上記第5, 6の技術においても、適当に遅延された多相クロックが必要である。

【0024】

したがって、上記のような第4～6の技術に好適な、高品質のビット同期回路が望まれている。

【0025】

本発明は、上記のような課題を解決するためになされたものであって、高品質のビット同期回路を提供することを目的とする。

【0026】

【課題を解決するための手段】

上記課題を解決するため、本発明では、シリアル通信の受信回路に用いられるビット同期回路において、入力クロックに基づいて位相がほぼ等間隔にずれた複数のクロックを生成する多相クロック生成回路と、入力クロックに対して多相クロック生成回路からの出力のうち何相目でクロックの周期の整数分ずれるかを検出する検出回路とを備えた構成としている。

【0027】

本発明によれば、上記のような多相クロック生成回路と検出回路とを備えた構成としているので、多相クロックの位相ずれ量（遅延量）を検出でき、この検出結果に基づいて多相クロックの位相ずれ量（遅延量）を適正化して、高品質のビ

ット同期回路を実現できる。したがって、上記第 4 ～ 6 の技術に好適な高品質のビット同期回路を実現することができる。

【 0 0 2 8 】

さらに、本発明では、上記のビット同期回路において、多相クロック生成回路は、入力クロックをほぼ同一の時間遅延させる遅延回路が複数接続されてなる構成としている。

【 0 0 2 9 】

本発明によれば、多相クロック生成回路を複数の遅延回路で構成しているので、上記のような高品質のビット同期回路を容易に実現することができる。

【 0 0 3 0 】

また、本発明では、上記のビット同期回路において、検出回路からの出力が入力される論理回路と、その論理回路からの出力が入力されると共に出力がその論理回路に入力されるラッチ回路とを備えた構成としている。

【 0 0 3 1 】

本発明によれば、上記のような論理回路とラッチ回路とを備えた構成としているので、ラッチされた値に基づいて、何相目でビットレートの周期分又はクロックの周期分ずれるかを決定するように構成でき、メタスタビリティの発生を低減して安定した回路構成を実現できる。

【 0 0 3 2 】

さらに、本発明では、上記のビット同期回路において、ラッチ回路のデータを一定のタイミングでクリアするように構成している。

【 0 0 3 3 】

本発明によれば、ラッチ回路のデータを一定のタイミングでクリアするように構成しているので、現在の状態を取得することができる。

【 0 0 3 4 】

また、本発明では、上記のビット同期回路において、検出回路からの出力を複数回サンプリングして、サンプリング値を演算する演算回路を備えた構成としている。

【 0 0 3 5 】

本発明によれば、上記のような演算回路を備えた構成としているので、その演算回路の演算結果に基づいて、何相目でビットレートの周期分又はクロックの周期分ずれるかを決定するように構成でき、メタスタビリティの発生を低減して安定した回路構成を実現できる。

## 【0036】

また、本発明では、上記のビット同期回路において、検出回路からの出力を一定時間保持すると共に一定期間毎に更新するように構成している。

## 【0037】

本発明によれば、検出回路からの出力を一定時間保持すると共に一定期間毎に更新するように構成しているので、ノイズ等の外乱要因のために検出回路からの出力が頻繁に変更されるような不具合を防止して、このような変化が頻繁に変更されないようにして、回路の安定動作を得ることができる。

## 【0038】

さらに、本発明では、上記のビット同期回路において、検出回路からの出力をビットデータ受信時に保持するように構成している。

## 【0039】

本発明によれば、検出回路からの出力をビットデータ受信時に保持するように構成しているので、ビットデータ受信時に回路の安定動作を得ることができる。

## 【0040】

また、本発明では、上記のビット同期回路において、多相クロック生成回路からの多相クロックが入力され、それぞれ異なる相でビット同期の動作を行なう複数のビット同期動作回路と、検出回路の検出結果に基づいて、複数のビット同期動作回路からの出力を選択する選択回路とを備えた構成としている。

## 【0041】

本発明によれば、上記のような複数のビット同期動作回路と選択回路とを備えた構成としているので、検出回路の検出結果に基づいてどのビット同期動作回路を使用するのかを選択回路で選択して、多相クロックの位相ずれ量（遅延量）を容易に適正化できる。

## 【0042】

また、本発明では、上記のビット同期回路において、多相クロック生成回路からの多相クロックが入力され、検出回路からの検出結果に基づいて、出力する多相クロックを選択するクロック選択回路を備えた構成としている。

#### 【0043】

本発明によれば、上記のようなクロック選択回路を備えた構成としているので、ビット同期の動作を行なうビット同期動作回路をクロック選択回路の後段に接続し、そのビット同期動作回路の動作に必要な相のクロックをクロック選択回路から出力することにより、単一のビット同期動作回路でビット同期回路を構成できるので、回路構成を簡素化してコストの低減を図ることができる。

#### 【0044】

なお、上記の本発明のいずれの構成のものも、デジタル回路で構成できるので、安価に高品質なビット同期回路を実現することができる。

#### 【0045】

##### 【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して説明する。

##### 〔第1の実施形態〕

本発明の第1の実施形態のビット同期回路の概略構成を、図1のブロック図に示す。

#### 【0046】

図1に示すように、本実施形態のビット同期回路は、シリアル通信の受信回路に用いられるビット同期回路において、入力クロックに基づいて位相がほぼ等間隔にずれた複数のクロックを生成する多相クロック生成回路100と、入力クロックに対して多相クロック生成回路からの出力のうち何相目でクロックの周期の整数分ずれるかを検出する検出回路110とを備えた構成である。

#### 【0047】

本実施形態のより詳細な回路構成を、図2のブロック図に示す。

#### 【0048】

図2に示すように、この回路構成では、図1の多相クロック生成回路100を、入力クロックをほぼ同一の時間遅延させる遅延回路201～208が複数接続

されてなり、遅延回路 201 の入力クロックであるローカルクロックを順次遅延させて多相クロックであるクロック 0～クロック 7 を得るように構成したものである。そして、図 1 の検出回路 110 を、D フリップフロップ 210～216 から構成している。なお、本実施形態では、遅延回路 201～208 を 8 段とし、8 相のクロック（クロック 0～クロック 7）を出力して、そのクロックの 1 周期分を検出するものについて説明するが、本発明はこれに限定されるものではない。

#### 【0049】

ここで、例えば図 3 のクロック波形図に示すように、入力されたクロックのようなクロックが遅延回路 201 に入力されたとする。遅延回路 201 からの出力は入力されたクロックを遅延したクロック 0 として出力される。クロック 0 を遅延回路 202 に入力することにより、クロック 0 が遅延されクロック 1 が出力される。このようにして、クロック 7 までを作成（生成）する。

#### 【0050】

これらの遅延回路により作成されたクロックがいくつでクロックの周期分だけ位相がずれているのかを調べる方法の一つとして、D フリップフロップ 210～216 を使用する。D フリップフロップ 210～216 の入力として、それぞれクロック 1 からクロック 7 までを使用する。これらの D フリップフロップ 210～216 を動作させるクロックとしてクロック 0 を使用する。このような動作することにより、それぞれの D フリップフロップ 210～216 の出力 Q は、図 4 のように、 $Q1=0$ 、 $Q2=0$ 、 $Q3=1$ 、 $Q4=1$ 、 $Q5=0$ 、 $Q6=0$ 、 $Q7=1$  というような値になる。

#### 【0051】

この D フリップフロップ 210～216 からの出力で Q1 から Q7 へ順番にみて、最初に 1 から 0 になるところ、図 4 でいう Q4 と Q5 との間で、クロックの遅延がクロックの 1 周期分遅延していることになる。つまりはクロック 0 からクロック 4 がクロックの 1 周期を分割した多相クロックとなることになる。このようにして、遅延回路の遅延量を測定することができる。

#### 【0052】

したがって、本実施形態によれば、上記のように多相クロック生成回路 100 と検出回路 110 とを備えた構成としているので、多相クロックの位相ずれ量（遅延量）を検出でき、この検出結果に基づいて多相クロックの位相ずれ量（遅延量）を適正化して、例えば上記第 4～6 の技術に好適な高品質のビット同期回路を実現することができる。さらに、多相クロック生成回路 100 を上記のように複数の遅延回路 201～208 で構成しているので、高品質のビット同期回路を容易に実現することができる。

#### 〔第 2 の実施形態〕

上記第 1 の実施形態の図 2 に示したような構成において、遅延量を測定するときに、D フリップフロップ 210～216 の入力クロックとデータの遷移が近いものである場合に、メタスタビリティが発生する場合がある。

#### 【0053】

ここで、メタスタビリティについて、説明する。D フリップフロップ（ラッチ回路）を正常に動作させるには、クロックの前後で、ある期間、入力データを一定値に保つ必要がある。この決められた期間中に入力データがなかった場合、D フリップフロップ（ラッチ回路）の出力が 0 でも 1 でもない不安定な値を出力する可能性があり、このような現象がメタスタビリティと呼ばれる。このようなメタスタビリティは、回路の誤動作の原因となるため、メタスタビリティが起こる確率を低減させることが望ましい。

#### 【0054】

そこで、第 2 の実施形態として、このようなメタスタビリティの発生確率を低減するための回路構成について説明する。

#### 【0055】

第 2 の実施形態の概略構成を、図 5 のブロック図に示す。図 5 に示すように、この構成では、検出回路 501（上記第 1 の実施形態の図 2 の D フリップフロップ 210～216 に相当）からの出力が入力される論理回路 502 と、その論理積回路 502 からの出力が入力されると共に出力がその論理回路 502 に入力されるラッチ回路 503 とを備えたものとしている。なお、図 5 において、クロック a、b は、クロック b が図 2 のクロック 0 に相当し、クロック a が図 2 のクロッ



ク 1 ～ クロック 7 に相当するものである。

【 0 0 5 6 】

すなわち、検出回路 5 0 1 （上記第 1 の実施形態の図 2 の D フリップフロップ 2 1 0 ～ 2 1 6 に相当）の出力とラッチ回路 5 0 3 からの出力とを論理積回路 5 0 2 に入力して論理積回路 5 0 2 で論理積を実行することで、メタスタビリティの発生を抑止して、安定化させるというものである。そして、本実施形態では、上記のラッチされた値に基づいて、何相目でビットレートの周期分又はクロックの周期分ずれるかを決定するように構成している。

【 0 0 5 7 】

なお、図 5 に示した構成では、単一の検出回路 5 0 1 に対して論理積回路 5 0 2 及びラッチ回路 5 0 3 を一つずつ設けているが、図 2 に示した構成のように検出回路が複数ある場合にはそれぞれの検出回路に対応させて論理積回路及びラッチ回路を設ければ良い。

【 0 0 5 8 】

また、このまま上記のようなラッチを続けると、現在の正確な値を持っていない可能性がある。それを防止するのに、ある一定時間毎にこのラッチのデータをクリアすることにより、現在の状態を取得することができる。

【 0 0 5 9 】

以上のように、本実施形態によれば、上記のように論理積回路 5 0 2 とラッチ回路 5 0 3 とを備えた構成としているので、ラッチされた値に基づいて、何相目でビットレートの周期分又はクロックの周期分ずれるかを決定するように構成でき、メタスタビリティが発生したデータを使用しないようにしてメタスタビリティの発生を低減し、安定した回路構成を実現できる。さらに、ラッチ回路 5 0 3 のデータを一定のタイミングでクリアするように構成すれば、現在の状態を取得することができる。

【 第 3 の実施形態 】

第 3 の実施形態として、上記第 2 の実施形態と異なる構成で、メタスタビリティの発生確率を低減するためのものについて説明する。

【 0 0 6 0 】

第3の実施形態の概略構成を、図6のブロック図に示す。図6に示すように、この構成では、多相クロック生成回路600（上記第1の実施形態の多相クロック生成回路100に相当）及び検出回路610（上記第1の実施形態の検出回路110に相当）の後段に、検出回路610からの出力を複数回サンプリングして、サンプリング値を演算するサンプリング／演算回路620を備えたものとしている。なお、上記第1の実施形態と同様に、多相クロック生成回路600は複数の遅延回路で構成でき、検出回路610は複数のDフリップフロップで構成できるものである。

#### 【0061】

すなわち、本実施形態は、メタスタビリティの発生確率を減らすために、何回か検出回路610からの出力をサンプリングし、その値の平均を取るようにサンプリング・演算回路で演算を行なうように構成したものである。そして、本実施形態では、何相目でビットレートの周期分又はクロックの周期分ずれるかを決定するように構成している。

#### 【0062】

以上のように、上記のように演算回路を備えた構成としているので、その演算回路の演算結果に基づいて、何相目でビットレートの周期分又はクロックの周期分ずれるかを決定するように構成でき、メタスタビリティが発生したデータを使用しないようにしてメタスタビリティの発生を低減し、安定した回路構成を実現できる。

#### 【0063】

なお、上記第1から3の実施形態において、何らかのノイズ等の外乱要因のために検出回路からの出力が頻繁に変更され、回路全体が不安定な動作を起こすというような不具合が予想される。そのような不具合を防止するには、検出回路（110，210～216，501，610）の出力を一定の期間保持し、頻繁に変更しないことにより、回路の安定動作を図ることができる。すなわち、検出回路からの出力を一定時間保持すると共に一定期間毎に更新するように構成することにより、ノイズ等の外乱要因のために検出回路からの出力が頻繁に変更されるような不具合を防止して、このような変化が頻繁に変更されないようにして、回

路の安定動作を得ることができる。

【0064】

さらに、検出回路からの出力をビットデータ受信時に保持するように構成することにより、ビットデータ受信時に回路の安定動作を得ることができる。

〔第4の実施形態〕

第4の実施形態として、ビット同期の動作を行なうビット同期動作回路を含むビット同期回路について、図7を参照して説明する。

【0065】

図7に示すように、本実施形態のビット同期回路は、上記第1～3の実施形態のいずれかの回路700を備えており、さらに、その回路700の多相クロック生成回路からの多相クロックが入力され、それぞれ異なる相でビット同期の動作を行なう複数のビット同期動作回路701と、回路700の検出回路の検出結果に基づいて、複数のビット同期動作回路からの出力を選択する選択回路（セクタ）702とを備えた構成のものである。

【0066】

なお、回路700は、上記第1の実施形態のように多相クロック生成回路と検出回路とからなるものでも良いし、上記第2の実施形態のように論理積回路及びラッチ回路を含んでも良いし、上記第3の実施形態のように演算回路を含んでも良い。したがって、上記第2の実施形態のように論理積回路及びラッチ回路を含んだ構成のものでは検出結果はラッチ回路を介したものとなり、上記第3の実施形態のように演算回路を含んだものでは検出結果は演算回路を介したものとなる。

【0067】

また、本実施形態においても、上記第1の実施形態と同様に、多相クロック生成回路は複数の遅延回路で構成でき、検出回路は複数のDフリップフロップで構成できるものである。

【0068】

すなわち、本実施形態は、実際にビット同期回路に上記実施形態の回路を組み込む際に、… $n-2$ 相で動くビット同期動作回路、 $n-1$ 相で動くビット同期動

作回路、 $n$ 相で動くビット同期動作回路、 $n+1$ 相で動くビット同期動作回路…  
 ( $n$ は整数)、より具体的には例えば4相のクロックで動作するビット同期動作回路、5相のクロックで動作するビット同期動作回路、6相のクロックで動作するビット同期動作回路……というように、いくつかのビット同期動作回路 7 0 1 を含む。そして、これらのビット同期動作回路 7 0 1 に回路 7 0 0 の多相クロック生成回路（遅延回路）により生成された多相クロックを入力し、それぞれのビット同期動作回路 7 0 1 を動作させる。こうして、動作しているビット同期動作回路 7 0 1 から、回路 7 0 0 の検出回路により検出された何相目で1周期分の遅延が発生しているかのデータを使用し、どのビット同期動作回路 7 0 1 からの出力データを使用するかを選択するといものである。

#### 【0069】

なお、図 7 には、ビット同期動作回路 7 0 1 として、1相クロックで動作するビット同期動作回路 7 0 1 1 と、 $n$ 相クロックで動作するビット同期動作回路 7 0 1  $n$  とを示している（1,  $n$  はいずれも整数）。

#### 【0070】

なお、上記ではビット同期回路を動作させる相を、… $n-2$ 相、 $n-1$ 相、 $n$ 相、 $n+1$ …（ $n$ は整数）、としたが、ジッタ許容量を向上させるために、奇数相のみ用いるように構成しても良い。

#### 【0071】

以上のように、本実施形態によれば、上記のように複数のビット同期動作回路と選択回路とを備えた構成としているので、検出回路の検出結果に基づいてどのビット同期動作回路を使用するのかを選択回路で選択して、多相クロックの位相ずれ量（遅延量）を容易に適正化できる。

#### 【0072】

なお、このようにいくつものビット同期動作回路を含むと、どうしても回路規模が大きくなるため、これらのビット同期動作回路のうち共通化できるところを共通化することで、回路規模を小さくすることができる。

#### 〔第5の実施形態〕

第5の実施形態として、ビット同期の動作を行なうビット同期動作回路を含む

ビット同期回路で、上記第 4 の実施形態よりも回路構成を簡素化可能なものについて、図 8 から図 1 0 を参照して説明する。

#### 【0 0 7 3】

図 8 に示すように、上記第 1 ～ 3 の実施形態のいずれかの回路 8 0 0 を備えており、さらに、回路 8 0 0 の多相クロック生成回路からの多相クロックが入力され、回路 8 0 0 の検出回路からの検出結果に基づいて、出力する多相クロックを選択するクロック選択回路（クロックセレクタ）8 0 2 を備えた構成としている。そして、クロックセレクタ 8 0 2 の後段には、クロックセレクタ 8 0 2 から出力された相のクロックで動作するビット同期動作回路 8 0 1 が接続されている。

#### 【0 0 7 4】

なお、回路 8 0 0 は、上記第 1 の実施形態のように多相クロック生成回路と検出回路とからなるものでも良いし、上記第 2 の実施形態のように論理積回路及びラッチ回路を含んでも良いし、上記第 3 の実施形態のように演算回路を含んでも良い。したがって、上記第 2 の実施形態のように論理積回路及びラッチ回路を含んだ構成のものでは検出結果はラッチ回路を介したものとなり、上記第 3 の実施形態のように演算回路を含んだものでは検出結果は演算回路を介したものとなる。

#### 【0 0 7 5】

また、本実施形態においても、上記第 1 の実施形態と同様に、多相クロック生成回路は複数の遅延回路で構成でき、検出回路は複数の D フリップフロップで構成できるものである。

#### 【0 0 7 6】

すなわち、本実施形態は、図 8 に示すように、 $n$  相（ $n$  は整数）で動作するビット同期動作回路 8 0 1 を含み、回路 8 0 0 の多相クロック生成回路（遅延回路）では  $m$  相クロック（ $m$  は  $m > n$  となる整数）を作成（生成）して、回路 8 0 0 の検出回路からのデータに基づいて、クロックセレクタ 8 0 2 では後段のビット同期動作回路 8 0 1 を動作させるためのクロックである  $n$  相クロックを入力された  $m$  相クロックから選択して出力するというものである。

#### 【0 0 7 7】

回路 8 0 0 のより具体的な一例を、そのブロック図である図 9 に示す。

#### 【0 0 7 8】

図 9 に示すように、例えば 4 相の多相クロックを必要とするビット同期動作回路 8 0 1 であった場合に、4 相のクロックを供給するために、1 6 段構成の遅延回路 9 0 1 ~ 9 1 6 と、それに対応した検出回路 9 2 0 ~ 9 3 4 とからなる構成である。なお、図 9 に示した構成は、上記第 1 の実施形態の図 2 に示したものの遅延回路及び D フリップフロップの数量を増やしたものである。

#### 【0 0 7 9】

これらの遅延回路 6 0 1 ~ 6 1 6 からの出力は、図 6 のクロック波形図に示すようなものになる。これらを検出回路 9 2 0 ~ 9 3 4 に入力した場合の Q 1 ~ Q 1 5 の出力値は、"00000011111110" のようになる。この出力値から、クロック 1 周期分遅延した相のクロックは、クロック 1 4 となる。クロック 0 からクロック 1 4 で 1 周期をなすのであるから、その値を 4 相に分けてクロック 0、クロック 3、クロック 8、クロック 12 といったほぼ 4 相に分けたクロックをビット同期回路に入力することにより、ビット同期回路を動作させることができる。

#### 【0 0 8 0】

以上のように、本実施形態によれば、上記のようにクロックセレクタ 8 0 2 を備えた構成としているので、ビット同期の動作を行なうビット同期動作回路 8 0 1 をクロックセレクタ 8 0 2 の後段に接続し、そのビット同期動作回路 8 0 1 の動作に必要な相のクロックをクロックセレクタ 8 0 2 から出力することにより、単一のビット同期動作回路 8 0 1 でビット同期回路を構成できる、回路構成を簡素化してコストの低減を図ることができる。

#### 【0 0 8 1】

なお、上記第 1 ~ 5 の実施形態のいずれの回路構成についても、デジタル回路で構成できるので、安価に高品質なビット同期回路を実現することができる。

#### 【0 0 8 2】

#### 【発明の効果】

以上のように、本発明によれば、デジタル回路で、多相クロックを生成し、その遅延量を検知する検知回路を設けることにより、安価なビット同期回路を実現

できる。

【0083】

さらに、メタスタビリティや外乱ノイズに強い安定したビット同期回路を実現できる。

【0084】

そして、本発明によれば、多相クロック生成回路の位相ずれ量（各々の遅延回路の遅延量）が設計値からずれた場合にでも、ロジックによる補正回路を働かせ、製造ばらつきによる遅延量のずれや、温度変化による遅延量の変化に対処できる安定したビット同期回路を作成することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態のビット同期回路の概略構成を示すブロック図である。

【図2】

図1のビット同期回路のより詳細な回路構成を示すブロック図である。

【図3】

図2の構成での多相クロックのクロック波形を示す図である。

【図4】

図2の構成での検出回路からの出力を示す図である。

【図5】

第2の実施形態のビット同期回路の概略構成を示すブロック図である。

【図6】

第3の実施形態のビット同期回路の概略構成を示すブロック図である。

【図7】

第4の実施形態のビット同期回路の概略構成を示すブロック図である。

【図8】

第5の実施形態のビット同期回路の概略構成を示すブロック図である。

【図9】

図8のビット同期回路の回路800のより詳細な回路構成を示すブロック図で

ある。

【図 1 0】

図 8 の構成での多相クロックのクロック波形を示す図である。

【図 1 1】

光受信機の増幅器が安定するまでに信号のパルス幅に偏りが発生したときの送信及び受信の信号波形を示す図である。

【符号の説明】

1 0 0, 6 0 0 多相クロック生成回路

1 1 0, 2 1 0 ~ 2 1 6, 5 0 1, 6 1 0, 9 2 0 ~ 9 3 4 検出回路

2 0 1 ~ 2 0 8, 9 0 1 ~ 9 1 6 遅延回路

5 0 2 論理積回路

5 0 3 ラッチ回路

6 2 0 サンプリング／演算回路

7 0 1 1, 7 0 1 n, 8 0 1 ビット同期動作回路

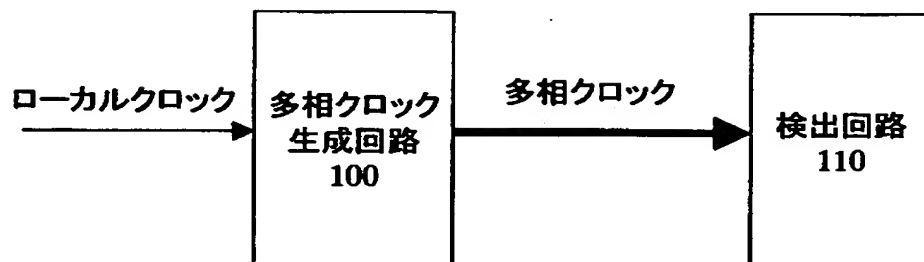
7 0 2 選択回路（セレクタ）

8 0 2 クロック選択回路（クロックセレクタ）

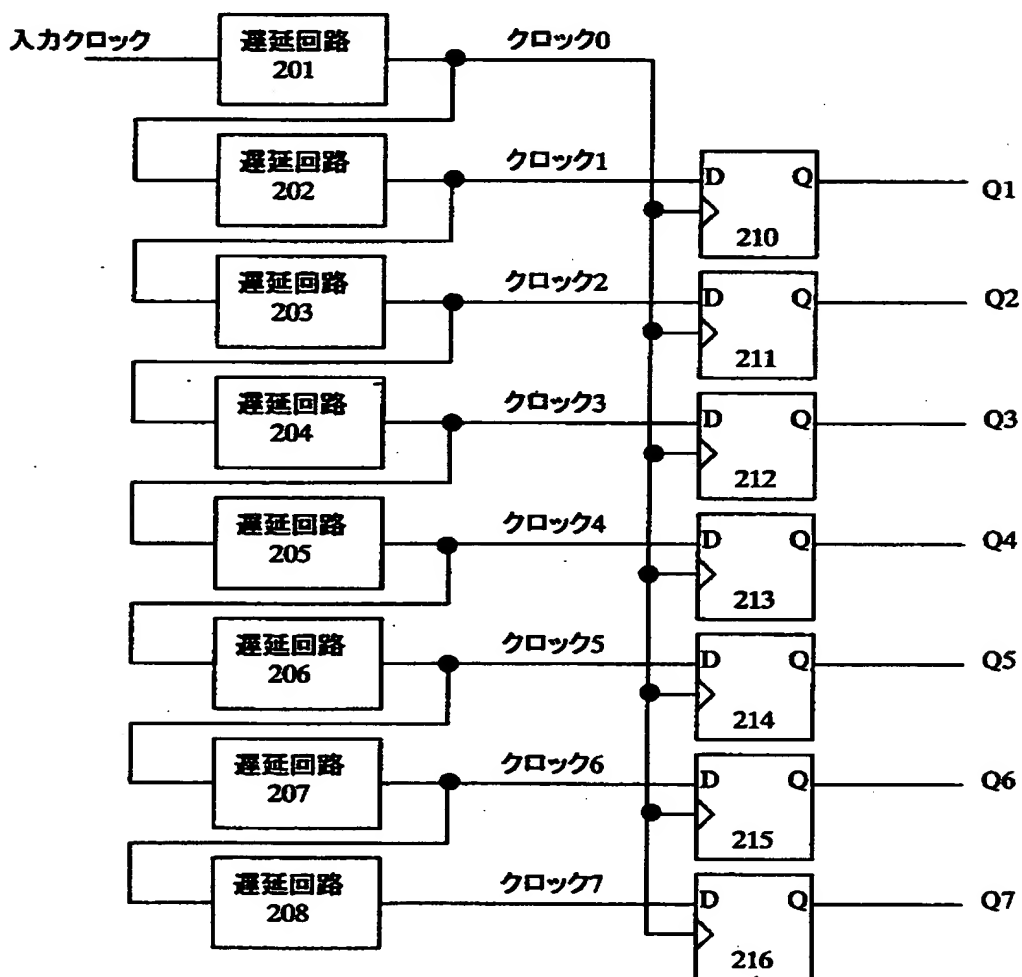


【書類名】 図面

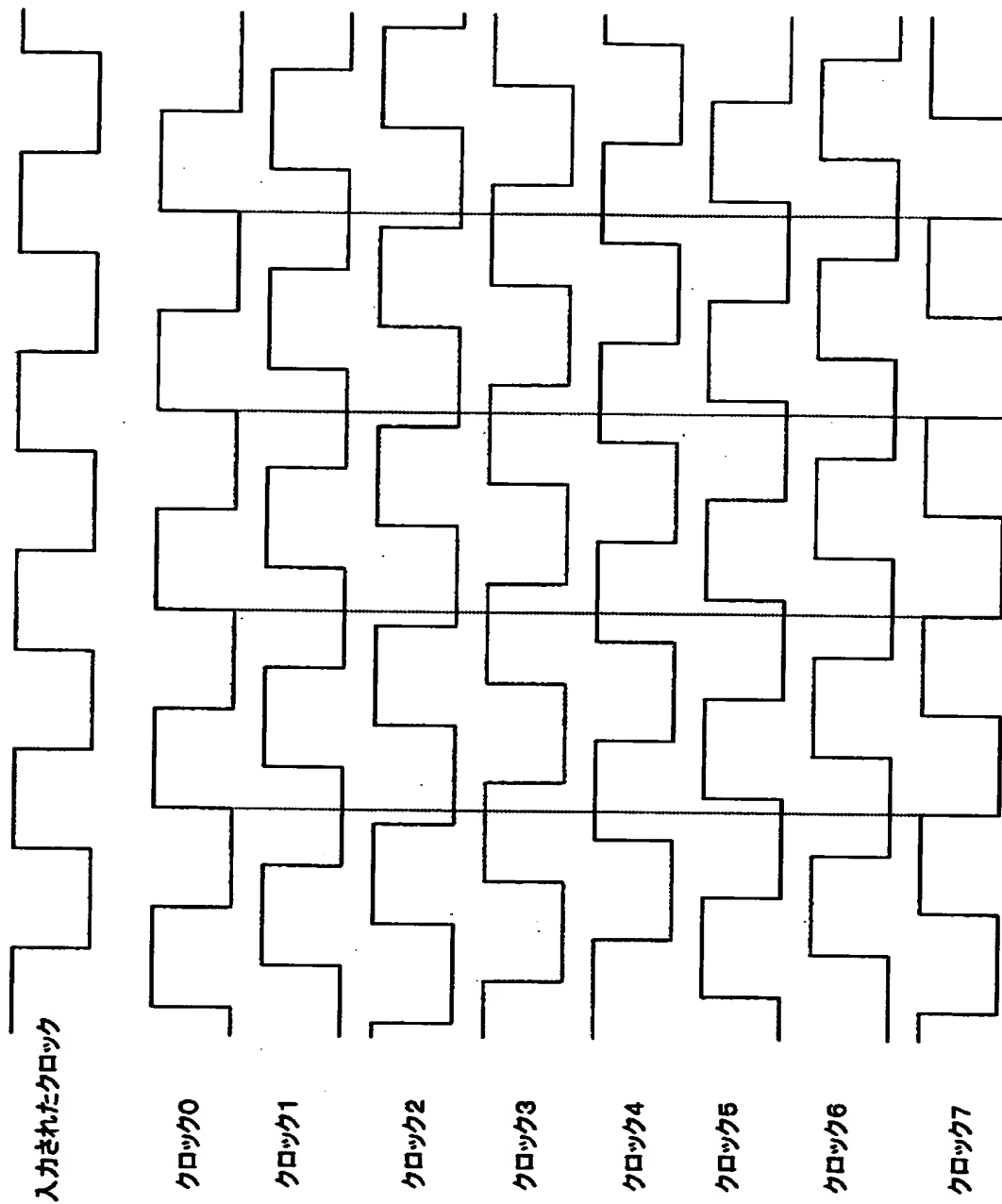
【図 1】



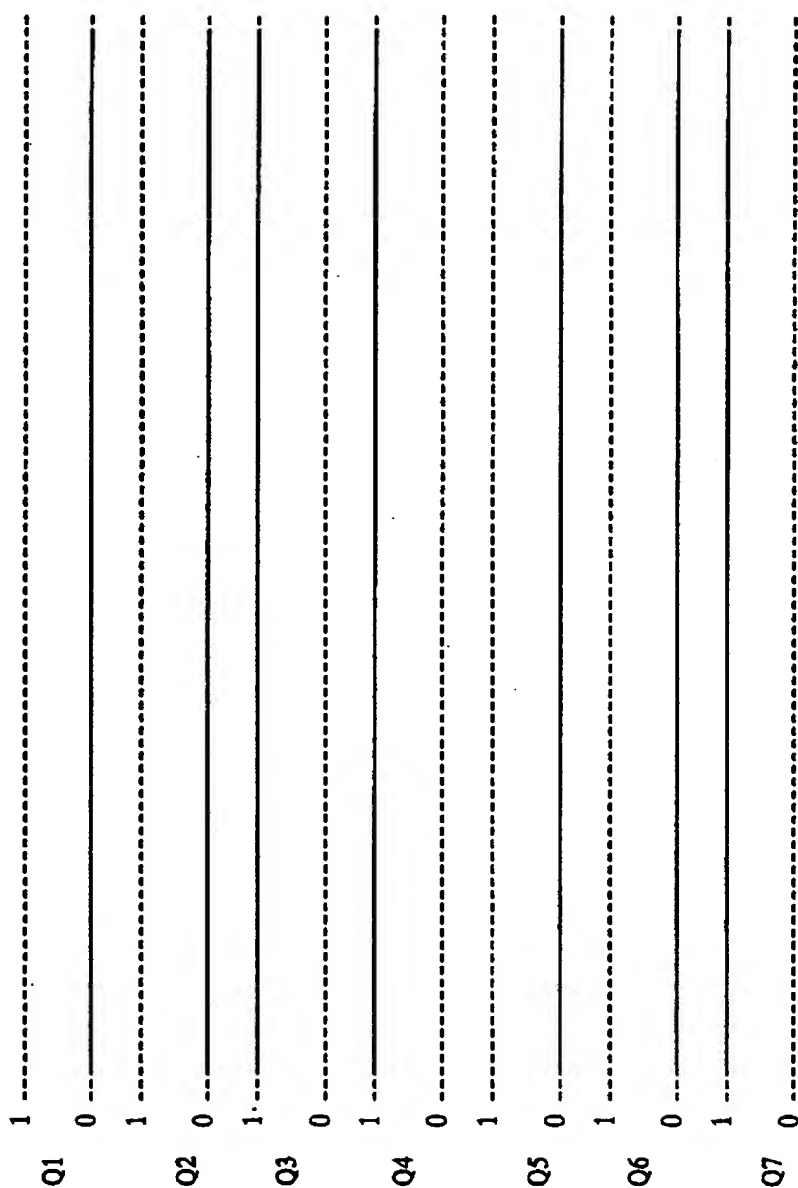
【図 2】



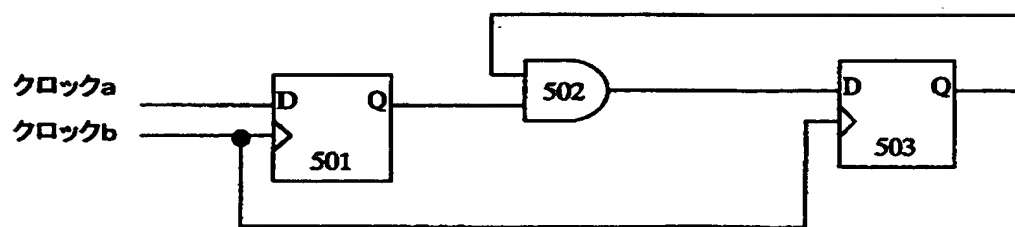
【図 3】



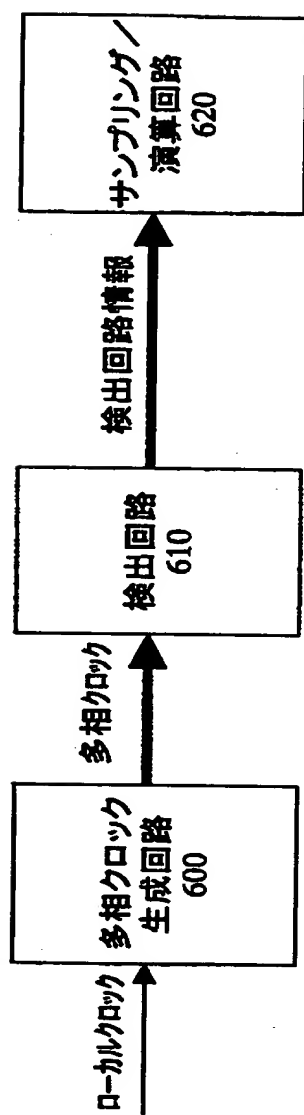
【図 4】



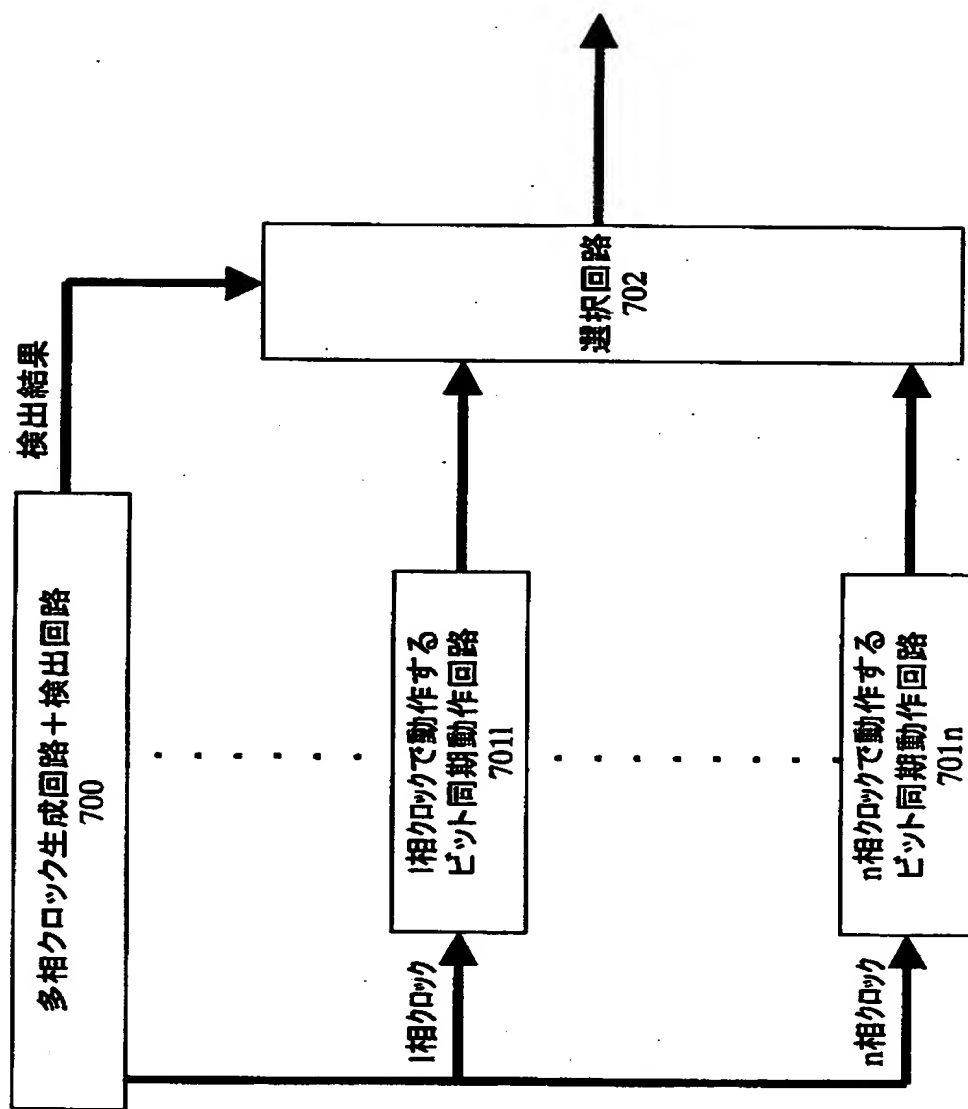
【図 5】



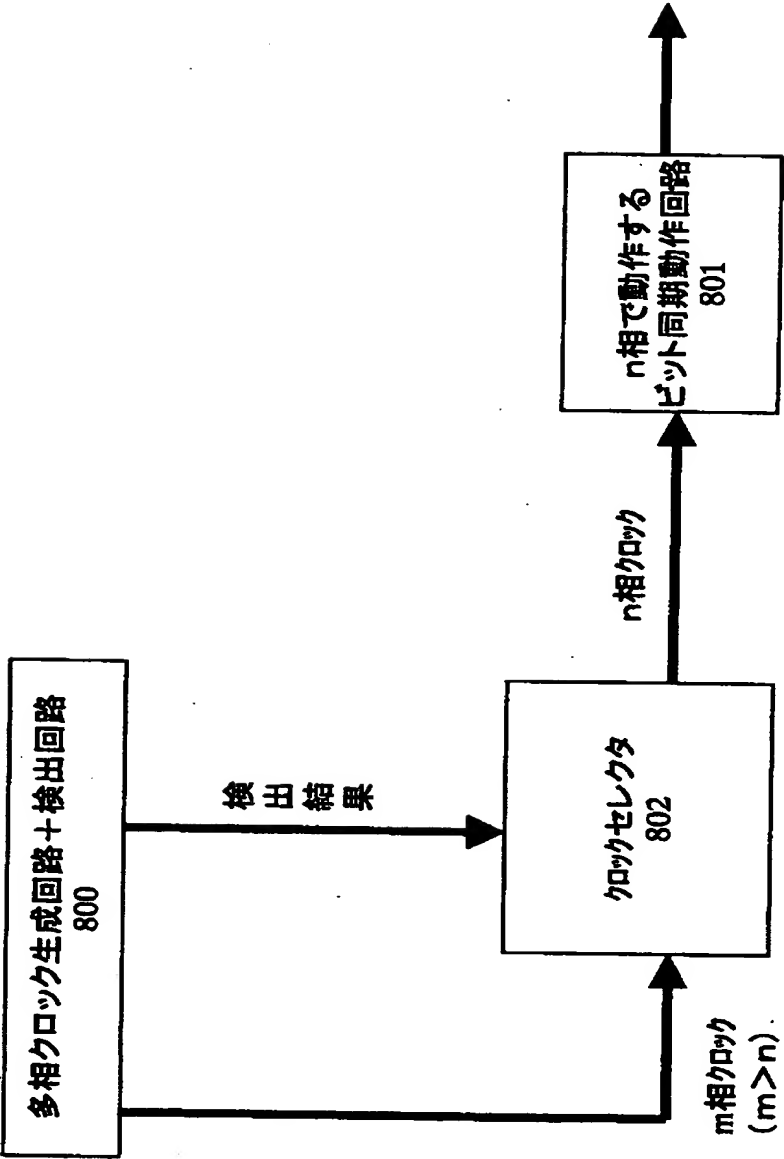
【図 6】



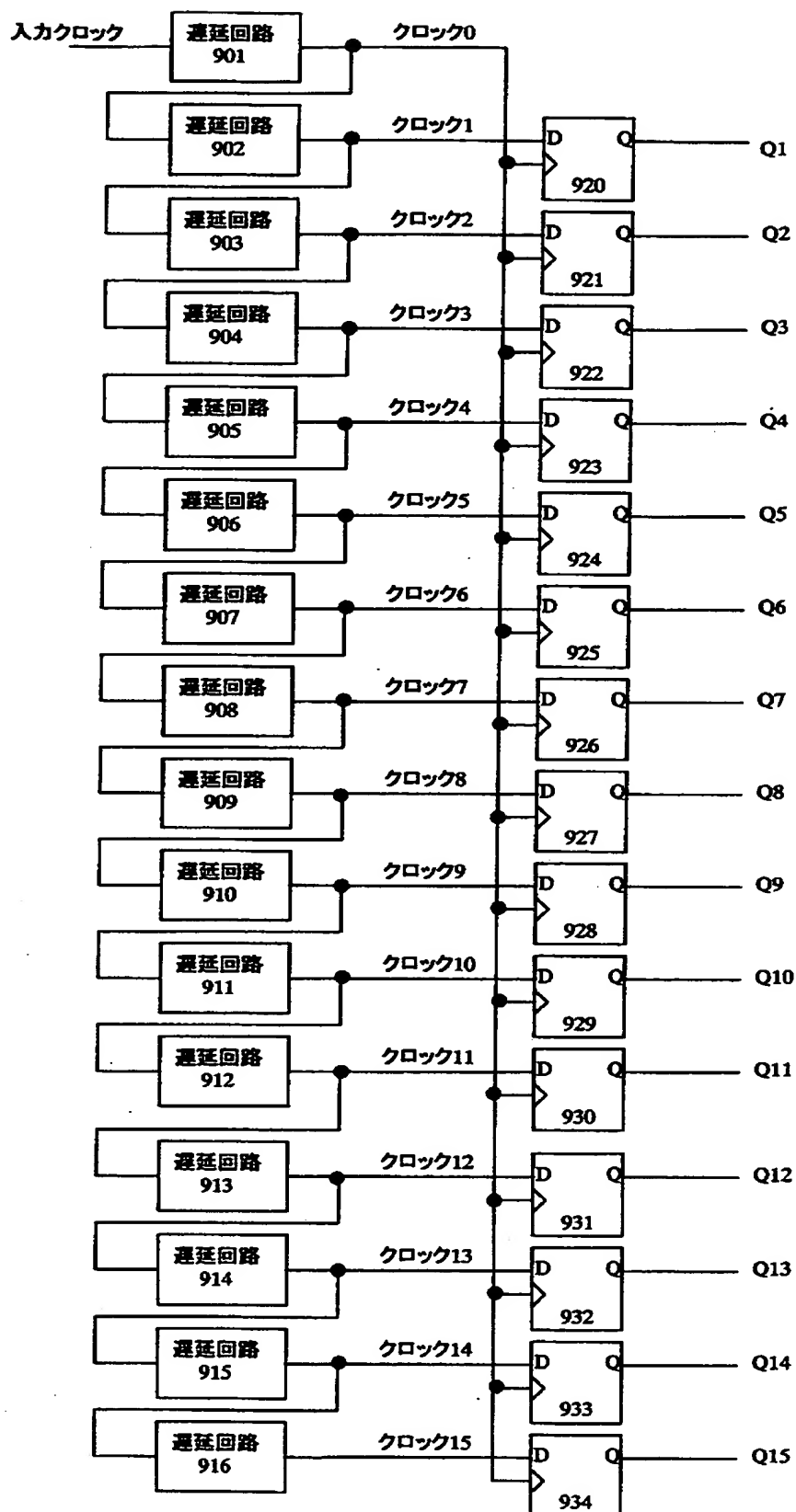
【図 7】



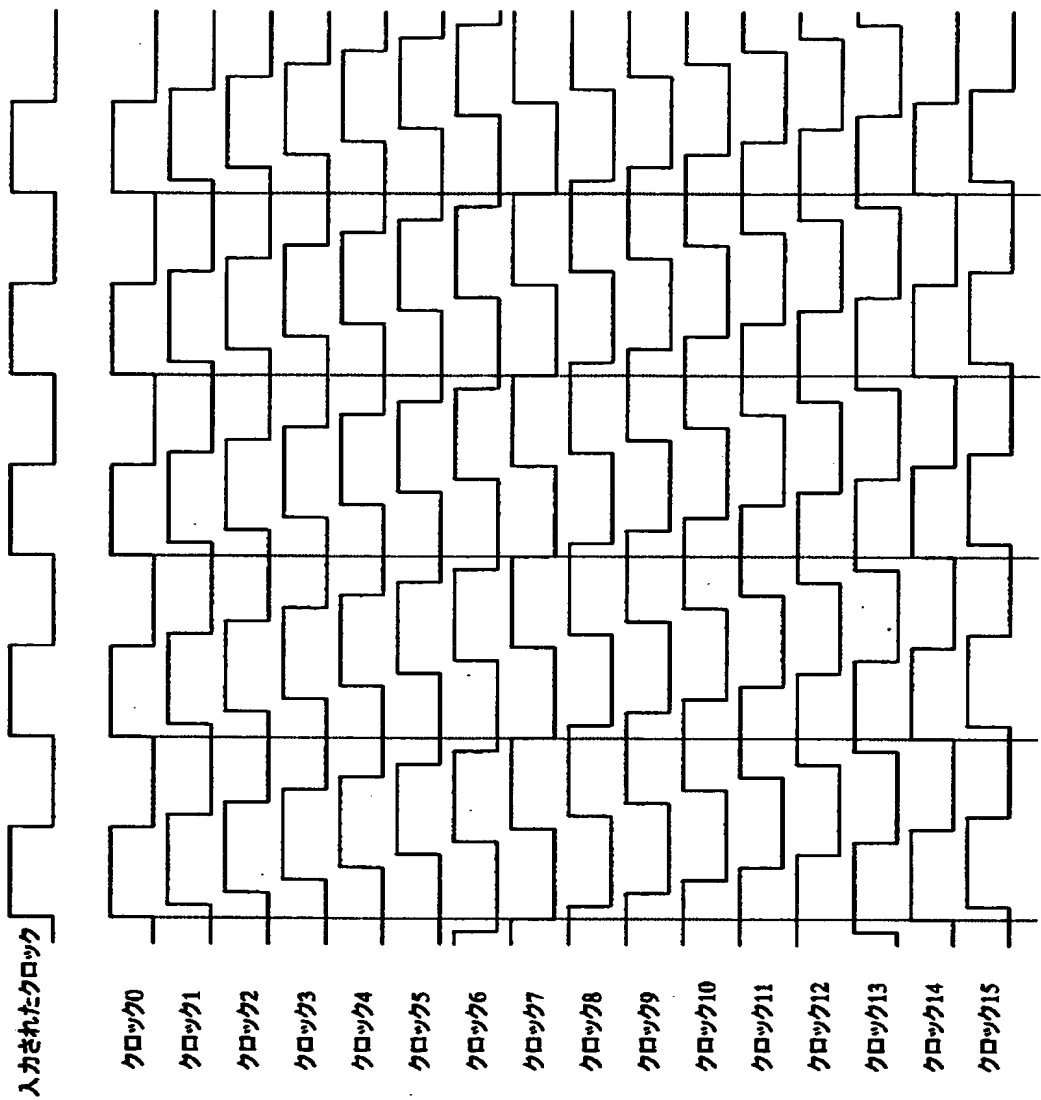
【図 8】



【図 9】

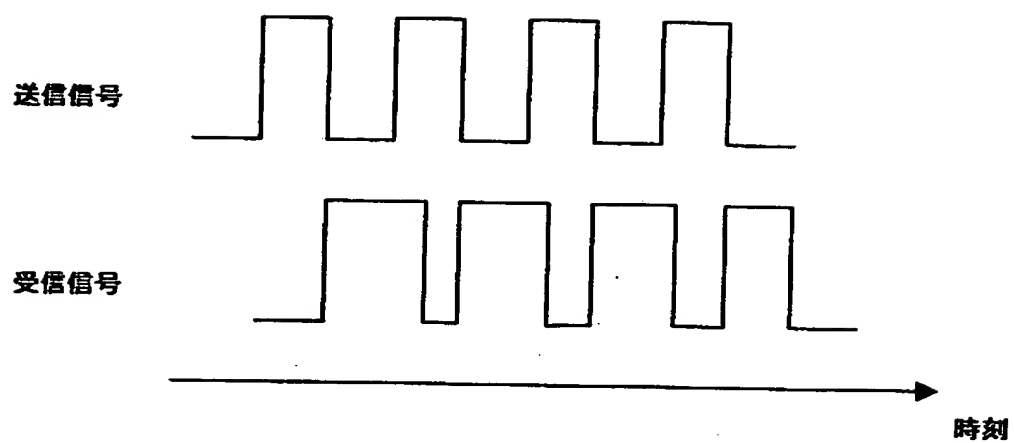


【図 1 0】





【图 1 1】



【書類名】 要約書

【要約】

【課題】 本発明は、高品質のビット同期回路を提供することを目的とする。

【解決手段】 シリアル通信の受信回路に用いられるビット同期回路において、  
入力クロックに基づいて位相がほぼ等間隔にずれた複数のクロックを生成する  
多相クロック生成回路 1 0 0 と、入力クロックに対して多相クロック生成回路 1  
0 0 からの出力のうち何相目でクロックの周期の整数分ずれるかを検出する検出  
回路 1 1 0 とを備えて構成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**